

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-210425

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H04N 7/01

H04N 5/225

(21)Application number : 09-008046 (71)Applicant : SONY CORP

(22)Date of filing : 20.01.1997 (72)Inventor : NODA SHIGETOSHI

(54) RATE CONVERSION DEVICE AND IMAGE-PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily convert a clock frequency, in response to plural types of computers or video devices which are set at different clock frequency levels by using a rate conversion means which converts the clock frequency of a digital signal into a lower level.

SOLUTION: A rate converter 32, which converts the clock frequency in a rate conversion device 31 is programmed to an FPGA(field programmable gate array) 33. A sampling A/D conversion circuit 40 of the device 31 is set to perform the sampling at a fixed sampling frequency level which is almost equal to the highest operating clock frequency, set previously at a circuit that is programmed to the FPGA 33 in response to the operating clock frequency of an imager 38. In such a constitution, a circuit, which operates at the operating clock frequency lower than the highest operating clock frequency that is previously set, can be freely programmed to the FPGA 33.

LEGAL STATUS

[Date of request for examination] 19.09.2003

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] The rate inverter characterized by to have a rate conversion means change the clock frequency of the above-mentioned digital signal which is programmed with the above-mentioned circuit by an analog-to-digital-conversion means sample the inputted analog signal with the predetermined sampling frequency set up beforehand, and change it into a digital signal in the rate inverter which changes the clock frequency of a digital signal, and the field-programmable gate array by which a predetermined circuit is programmed from the outside, and is acquired from the above-mentioned analog-to-digital-conversion means into a clock frequency low than the clock frequency concerned.

[Claim 2] The above-mentioned analog-to-digital-conversion means is a rate

inverter according to claim 1 characterized by being set as the value as the value of the maximum actuation clock frequency to which the above-mentioned circuit programmed by the above-mentioned field-programmable gate array was set beforehand with the almost same above-mentioned sampling frequency.

[Claim 3] The rate inverter according to claim 1 which carries out the description of having a digital-to-analog-conversion means to change into an analog signal by sampling the above-mentioned digital signal acquired from a rate conversion means to change into a predetermined clock frequency higher than the clock frequency concerned the clock frequency of the above-mentioned digital signal which is programmed by the above-mentioned field-programmable gate array, and is acquired from the above-mentioned rate conversion means, and the above-mentioned rate conversion means with the sampling frequency set up beforehand.

[Claim 4] The image pick-up optical system which picturizes a photographic subject, and the image sensor changed into an analog signal in response to the image pick-up light obtained from the above-mentioned image pick-up optical system, An analog-to-digital-conversion means to change into a digital signal the analog signal acquired from the above-mentioned image sensor by sampling with the sampling frequency of the almost same value as the value of the maximum actuation clock frequency of the above-mentioned image sensor, It is programmed with the above-mentioned circuit by the field-programmable gate array by which a predetermined circuit is programmed from the outside. Image pick-up equipment characterized by having a rate conversion means to change into a clock frequency lower than the clock frequency concerned the clock frequency of the above-mentioned digital signal acquired from the above-mentioned analog-to-digital-conversion means.

[Claim 5] The above-mentioned digital-signal-processing circuit is image pick-up equipment according to claim 4 with which the value of the maximum actuation clock frequency is beforehand characterized by being set as the almost same value as the value of the above-mentioned sampling frequency.

[Claim 6] Image pick-up equipment according to claim 4 characterized by to have a digital-to-analog-conversion means change into an analog signal by

sampling the above-mentioned digital signal acquired from a rate conversion means change into a predetermined clock frequency higher than the clock frequency concerned the clock frequency of the above-mentioned digital signal which is programmed by the above-mentioned field-programmable gate array, and is acquired from the above-mentioned rate conversion means, and the above-mentioned rate conversion means with the sampling frequency set up beforehand.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Table of Contents] This invention is explained in order of the following.

[0002] The technical field Prior art to which invention belongs (drawing 13 and drawing 14)

Technical-problem The means for solving a technical problem which invention tends to solve (drawing 1 - drawing 12)

The 1st example of a gestalt (1) of implementation of invention (drawing 1 - drawing 7)

(2) The 2nd example (drawing 8 and drawing 9)

(3) Other examples (drawing 10 and drawing 12)

Effect of the invention [0003]

[Field of the Invention] This invention is applied to the digital video camera with which the rate inverter which changes the clock frequency of a digital video signal, and the rate inverter concerned were formed, concerning a rate inverter and image pick-up equipment, and is suitable.

[0004]

[Description of the Prior Art] The NTSC (National Television System Committee) method conventionally standardized as a colour television system for every country or area in the digital video camera, A PAL (Phase

Alternating by Line) method, A SECAM (Sequential Memoire Color Television System) method, The HDTV (High Definition Television) method or the ATV (Advanced Television) method is applied. It is set as the value from which the clock frequency of a digital video signal therefore differs in the class of colour television system applied, respectively.

[0005] By the way, intermediary ***** which uses for a computer or video equipment the digital video signal acquired from a digital video camera with the spread of multimedia in recent years in many cases.

[0006] However, with such a computer and video equipment, it may be set as the value of the clock frequency of the digital video signal with which the value of the clock frequency of the digital video signal incorporated inside was beforehand set up in the digital video camera, and a different value. For this reason, the request which forms a rate inverter in the digital video camera concerned so that the value of the clock frequency of the digital video signal generated in that interior may be made to change and output to the value of the clock frequency set up beforehand with a computer or video equipment from a digital video camera recently is high pine *****.

[0007] As shown in drawing 13 here, in such a digital video camera 1, the image pick-up output signal S1 corresponding to the visual field image which receives the image pick-up light LA 1 which comes from a photographic subject in the image sensor (this is hereafter called an imager) 5 which acts as the connoisseur of the lens 3 of the lens block section 2 and the iris 4 one by one, for example, becomes by CCD (Charge Coupled Device) about them, and includes a photographic subject image is given to the analog signal processing section 6.

[0008] After extracting a signal part by carrying out the correlation duplex sampling of the inputted image pick-up output signal S1 through CDS(Correlated Double Sampling)6A in the analog signal processing section 6, While gain control is carried out so that it may have predetermined gain through AGC(Automatic Gain Control)6B, and compressing the dynamic range through a knee / pregamma6C after this After amending so that it may become predetermined gamma characteristics, more than the maximum frequency band to the threshold frequency of the clock frequency of an imager

(CCD) 5 of operation is further cut through low pass filter 6D. Generating of distortion is prevented by the analog / digital conversion circuit (A/D) 7 by return [output signal / S2 / which is acquired in this way / image pick-up], and it changes into the digital video signal S3, and sends out to the digital-signal-processing section 8. In the digital-signal-processing section 8, in the camera signal amendment processing circuit 9, gamma amendment, level balance amendment with white and black, amendment of the ununiformity of brightness, pixel defective amendment, etc. are performed to the digital video signal S3, and digital video signal S4 obtained in this way is sent out to the rate inverter 10. Incidentally memory 9A is prepared in the camera digital disposal circuit 9, and the data for gamma amendment etc. are beforehand stored in concerned memory 9A.

[0009] The rate inverter 10 changes [rise-rate-] or changes [down-rate-] the clock frequency of digital video signal S4 so that it may become the clock frequency beforehand set up by computer etc., and the same clock frequency, and it sends out the digital video signal S5 from which the clock frequency obtained in this way was changed to the video encoder 11.

[0010] It is outputted outside, using it as the analog video signal S7 through the digital to analog circuit (D/A) 13 and a low pass filter (LPF) 14 one by one while outputting it outside through an interface (I/F) 12, after the video encoder 11 encodes the digital video signal S5.

[0011] Incidentally, while a system controller 15 controls the digital-signal-processing section 8 based on the control from the outside, the mechanical component 16 concerned controls the focus and iris of the lens block 2 by the digital video camera 1 by controlling a mechanical component 16. Moreover, in this digital video camera 1, the timing controller 17 generates the timing signal S10 synchronized with synchronizing signal S9 obtained from the exterior, and sends this out to the digital-signal-processing section 8 and an imager 5. The digital-signal-processing section 8 and an imager 5 operate in this way synchronizing with the timing of the timing signal S10 inputted, respectively.

[0012] The digital video camera 1 is made in this way as [output / value / the value of the clock frequency of digital video signal S4 according to the colour

television system mentioned above, for example is changed into the value of the clock frequency set up by computer, and].

[0013] As shown in drawing 14 here, the rate inverter 10 The 1st or 2nd register 21 or 22 is prepared in either the input side of the transformation digital low pass filter 20, or an output side at the time of a multiplier. Usually, the clock frequency f_a before the timing control circuit 23 changing, Based on the clock frequency f_b after conversion, it reaches transformation digital low pass filter 20 at the time of a multiplier. corresponding to clock of operation respectively the [$22 /$ the 1st or 2nd register 21 or] 1- by generating and sending out the 3rd control signal S15-S17 of operation It is made as [change / therefore / at the time of the multiplier concerned / at a clock frequency f_b / into the transformation digital low pass filter 20 and the 1st or 2nd register 21, or 22 / the clock frequency f_a of digital video signal S4].

[0014] In addition, the rate inverter 10 is set according to the degree of the sharpness of the edge of the image (namely, image according to the digital video signal S6 outputted from the digital video camera 1) which a user desires to either the register front-end mold rate inverter with which the 1st register 21 was formed in the input side of the transformation digital low pass filter 20 at the time of a multiplier, or the register postposing mold rate inverter with which the 2nd register 22 was formed in the output side of the transformation digital low pass filter 20 at the time of the multiplier concerned.

[0015]

[Problem(s) to be Solved by the Invention] By the way, in the digital video camera 1 of this configuration, it is made by fixing the conversion ratio beforehand set up in the rate inverter 10 as [supply / only to a specific computer or video equipment / the digital video signal S5].

[0016] That is, such a digital video camera 1 cannot supply the digital video signal S5 to the computer or video equipment which are two or more kinds from which the value of the set-up clock frequency differs, respectively easily. For this reason, the problem which must purchase two or more digital video cameras which have the rate inverter with which the respectively same setup as a setup of each computer or the clock frequency of video equipment was made when it was considered that the user who owns the digital video camera

1 supplies the digital video signal S5 to such various computers or video equipment is *****.

[0017] Moreover, in order that a setup of a clock frequency may supply the digital video signal S5 to various computers different, respectively and video equipment, respectively, it is possible [it] to form two or more rate inverters set as a conversion ratio which is different inside the digital video camera 1 concerned, respectively with such a digital video camera 1. However, the problem to which the circuitry of the digital video camera 1 interior becomes complicated in this case is ***** . This invention was made in consideration of the above point, and tends to propose the rate inverter and image pick-up equipment which can change a clock frequency easily, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency.

[0018]

[Means for Solving the Problem] It is programmed with the circuit concerned by an analog-to-digital-conversion means to sample the inputted analog signal with the predetermined sampling frequency set up beforehand, and to change it into a digital signal in a rate inverter in the 1st invention in order to solve this technical problem, and the field-programmable gate array by which a predetermined circuit is programmed from the outside, and a rate conversion means changed into a clock frequency lower than the clock frequency concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means was established.

[0019] Moreover, the image sensor changed into an analog signal in response to the image pick-up light obtained from the image pick-up optical system which picturizes a photographic subject, and image pick-up optical system in the 2nd invention, An analog-to-digital-conversion means to change into a digital signal the analog signal acquired from an image sensor by sampling with the sampling frequency of the almost same value as the value of the maximum actuation clock frequency of an image sensor, It is programmed with the circuit concerned by the field-programmable gate array by which a predetermined circuit is programmed from the outside. A rate conversion means to change into a clock frequency lower than the clock frequency

concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means was established.

[0020] Therefore, in the 1st invention, sample an analog signal with the predetermined sampling frequency set up beforehand for an analog-to-digital-conversion means, and it is changed into a digital signal at it. For the rate conversion means programmed by the field-programmable gate array with the predetermined circuit from the exterior, therefore By having changed into the clock frequency lower than the clock frequency concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means A circuit which operates with the clock frequency of operation below the maximum actuation clock frequency to a field-programmable gate array is freely programmable. The degree of freedom of a design of a field-programmable gate array can be raised by this, and a rate conversion means by which a clock frequency can be changed corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency can be programmed easily.

[0021] Moreover, in the 2nd invention, therefore in response to the fact that the image pick-up light obtained from image pick-up optical system, it changes into an image sensor at an analog signal. It changes into a digital signal by therefore sampling the analog signal concerned for an analog-to-digital-conversion means with the sampling frequency of the almost same value as the value of the maximum actuation clock frequency of an image sensor. For the rate conversion means programmed by the field-programmable gate array with the predetermined circuit from the exterior, therefore By having changed into the clock frequency lower than the clock frequency concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means The degree of freedom of a design of a field-programmable gate array is raised. To the field-programmable gate array concerned A rate conversion means by which a clock frequency can be changed corresponding respectively to the various computers and video equipment which were set as a different clock frequency is easily programmable.

[0022]

[Embodiment of the Invention] About a drawing, one example of this invention is explained in full detail below.

[0023] (1) In 1st example drawing 1 , 30 shows the digital video camera by the 1st example as a whole, and the 1st rate transducer 32 which changes a clock frequency in the rate inverter 31 is programmed by the field-programmable gate array (this is hereafter called FPGA) 33, and it is prepared.

[0024] in this case, the image pick-up light LA 2 which comes from a photographic subject in the digital video camera 30 -- the lens 36 of the lens block section 35, and an iris 37 -- one by one -- a connoisseur -- carrying out - for example, -- The image pick-up output signal S20 corresponding to the visual field image which receives in the imager 38 which becomes by CCD for HDTV which operates with the clock frequency of 74.25 [MHz] extent, and includes a photographic subject image is given to the analog signal processing section 39.

[0025] After extracting a signal part by carrying out the correlation duplex sampling of the inputted image pick-up output signal S20 through CDS39A in the analog signal processing section 39, While gain control is carried out so that it may have predetermined gain through AGC39B, and compressing the dynamic range through a knee / pregamma39C after this Amend so that it may become predetermined gamma characteristics, and more than the maximum frequency band (for example, 37 [MHz] extent) to the threshold frequency of the clock frequency of an imager (CCD) 38 of operation is further cut through low pass filter 39D after this. The image pick-up output signal S21 acquired in this way is sent out to the sampling analog / digital conversion circuit 40 of the rate inverter 31 (sampling A/D).

[0026] In this case, the sampling analog / digital conversion circuit 40 is set up so that it may sample according to the clock frequency of an imager (CCD) 38 of operation with the sampling frequency of the almost same immobilization as the maximum actuation clock frequency (this 1st example 74.25 [MHz] extent) beforehand set as the circuit programmed by latter FPGA33. It is made as [program / a circuit which operates by this with the predetermined clock frequency of operation below the maximum actuation clock frequency beforehand set as FPGA33 / freely].

[0027] A sampling analog / digital conversion circuit 40 is about the inputted image pick-up output signal S21. It samples with the sampling frequency of 74.25 [MHz] extent, and the digital video signal S22 acquired in this way is sent out to the 1st rate converter 32 of the digital-signal-processing section 41 programmed by FPGA33.

[0028] The 1st rate transducer 32 is the inputted digital video signal S22. Down rate conversion of the clock frequency which becomes with 74.25 [MHz] extent is carried out at the clock frequency of same 18 [MHz] extent as the clock frequency of operation in the digital-signal-processing section 41 concerned which was set up beforehand and which becomes, for example with 18 [MHz] extent, and the digital video signal S23 of the clock frequency which becomes with obtained 18 [MHz] extent concerned is sent out to the camera signal amendment processing circuit 42.

[0029] The camera signal amendment processing circuit 42 performs gamma amendment, level balance amendment with white and black, amendment of the ununiformity of brightness, pixel defective amendment, etc. to the inputted digital video signal S23, encodes the digital video signal S24 acquired in this way through the video encoder 43, and sends it out to the 2nd and 3rd rate converters 44 and 45, respectively.

[0030] First, the 2nd rate transducer 44 carries out down rate conversion of the clock frequency which becomes with 18 [MHz] extent of the inputted digital video signal S24 at the clock frequency of 13.5 [MHz] extent of D1 specification, and sends out the digital video signal S25 of the clock frequency which becomes with 13.5 [MHz] extent obtained in this way here to video equipments (not shown), such as for example, a digital video tape recorder connected through an interface 46.

[0031] moreover, the 3rd rate transducer 45 was beforehand set up by workstation (not shown) etc. in the clock frequency which becomes with 18 [MHz] extent of the inputted digital video signal S24 -- for example -- Rise rate conversion is carried out at the clock frequency of 135 [MHz] extent, and it is obtained in this way. The digital video signal S26 of the clock frequency which becomes with 135 [MHz] extent is sent out to the sampling digital to analog circuit (sampling D/A) 47.

[0032] When the 3rd rate converter 45 carries out rise rate conversion, the sampling digital to analog circuit 47 is set up so that it may sample with the sampling frequency of the almost same immobilization as the maximum clock frequency (this 1st example 135 [MHz] extent) set up beforehand. Moreover, by carrying out rise rate conversion of the clock frequency below the maximum clock frequency to which the 3rd rate converter 45 was set beforehand, it is made as [program / a circuit which operates below with the maximum clock frequency to FPGA33 / freely].

[0033] the analog video signal with which the sampling digital to analog circuit 47 is supplied to the exterior of FPGA33 was set up beforehand -- for example -- Digital video signal S26 which is set up so that it may sample with the sampling frequency of the same value as the value of the maximum clock frequency of 135 [MHz] extent, and was inputted It samples with the sampling frequency of 135 [MHz] extent, changes into the analog video signal S27, and sends out to a low pass filter 48.

[0034] A low pass filter 48 cuts more than the maximum frequency band (67.5 [MHz] extent) to the threshold frequency of the maximum clock frequency beforehand set as the 3rd rate converter 45, and is made as [send / to a workstation / it / in this way].

[0035] In such a digital video camera 30, as for FPGA33, a circuit is programmed here based on the external programming signal S30 acquired from a personal computer (not shown) through the personal computer interface (personal computer I/F) 49 which has a buffer.

[0036] In this case, in FPGA33, while the system controller 50 and the timing generator 51 are also programmed in addition to the digital-signal-processing section 41 and the system controller 50 concerned controls the digital-signal-processing section 41 based on the control from the outside, the mechanical component 52 concerned controls the focus and iris of the lens block 35 by controlling a mechanical component 52.

[0037] Moreover, in FPGA33, the timing controller 51 generates the timing signal S32 synchronized with the synchronizing signal S31 obtained from the exterior, and sends this out to the digital-signal-processing section 41 and an imager 38. The digital-signal-processing section 41 and an imager 38 operate

in this way synchronizing with the timing of the timing signal S32 inputted, respectively. Incidentally the memory 53 which becomes by RAM (Random Access Memory), ROM (Read Only Memory), etc. is formed in FPGA33, and the memory 53 concerned is used for digital signal processing if needed.

[0038] As shown in drawing 2 here, when programmed by FPGA33, the reprogramming of the 1st rate converter 32 of the rate inverter 31 is carried out if needed, and it is made as [change / circuitry].

[0039] therefore, in such 1st rate converter 32 The 1st or 2nd programmable register 61 or 62 is prepared in either the input side of the transformation digital low pass filter 60, or an output side at the time of a programmable multiplier. Furthermore, the programmable timing control circuit 63 The clock frequency f_c before conversion of the digital video signal S22, corresponding to each clock of operation based on clock frequency f_d after conversion time of programmable multiplier the [62 / the transformation digital low pass filter 60 and 1st, or 2nd programmable register 61 or] 1- the 3rd control signal S35-S37 of operation is generated and sent out. It is made as [change / by this / into a clock frequency f_d / the clock frequency f_c of the digital video signal S22]. It is constituted like the 1st rate converter 32 which also mentioned above the 2nd and 3rd rate converters 44 and 45 incidentally programmed by FPGA33.

[0040] here -- the 1- the principle of conversion of the clock frequency performed by the 3rd rate converter 32 and 44 lists in 45 is shown in drawing 3 (A) - drawing 4 (D).

[0041] That is, in the rise rate conversion which changes into the clock frequency f_g higher than the clock frequency f_e concerned the clock frequency f_e of the digital video signal inputted first, "zero" data are inserted in the part used as the sample takeoff point of the clock frequency f_g after conversion to the digital video signal (drawing 3 (A)) of the clock frequency f_e before conversion, respectively, and it is the degree type (1) of this and the clock frequency f_g after conversion about the clock frequency f_e before the conversion concerned.

[0042]

[Equation 1]

[0043] It comes out, and with the clock frequency f_0 of the least common multiple which is expressed, it excess re-samples and rise rate conversion is carried out (drawing 3 (B)).

[0044] The frequency component (drawing 4 (A)) which this had repeated with the clock frequency f_e before conversion of a digital video signal comes (drawing 4 (B)) to repeat frequency characteristics with the clock frequency f_0 of the least common multiple as it is.

[0045] subsequently, a sampling theorem -- being based -- the clock frequency f_0 of the least common multiple -- almost -- the thing of the clock frequency f_g after changing between half clock frequencies which distortion will produce by return in the clock frequency f_g after the conversion concerned if there is a half frequency component mostly -- the clock frequency f_g after this conversion -- more than a half frequency component is mostly oppressed with a low pass filter (drawing 3 (C) and drawing 4 (C)).

[0046] Then, by thinning out so that it may leave the re-sampling point according to the clock frequency f_g after conversion from two or more excess re-sampled re-sampling points, and performing a sampling, in this way, the maximum maintenance of the frequency characteristics can be carried out, and rise rate conversion of the digital video signal can be carried out (drawing 3 (D) and drawing 4 (D)).

[0047] When excess re-sampling the clock frequency f_e before conversion by rise rate conversion incidentally with the clock frequency f_0 of the least common multiple of this and the clock frequency f_g after conversion, it is a degree type (2) about the scale factor K_0 of the excess re-sampling concerned.

[0048]

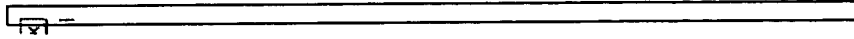
[Equation 2]

[0049] While being able to express, when coming out, thinning out to each ** sampling point and performing a sampling, it is a degree type (3) about the

scale factor K_s of the infanticide concerned.

[0050]

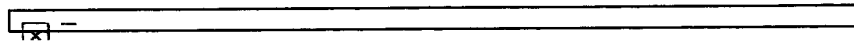
[Equation 3]



[0051] The conversion scale factor [in / in this way / it can come out and express and / rise rate conversion] K is a degree type (4).

[0052]

[Equation 4]



[0053] It can come out and express.

[0054] moreover, in the down rate conversion changed into a clock frequency lower than the clock frequency concerned, the clock frequency of the digital video signal inputted While processing like the case of the rise rate conversion shown in drawing 3 (C) from drawing 3 (A) mentioned above Then, by thinning out so that it may leave the re-sampling point according to the clock frequency after conversion from two or more excess re-sampled re-sampling points, and performing a sampling In this way, the maximum maintenance of the frequency characteristics can be carried out, and down rate conversion of the digital video signal can be carried out.

[0055] in addition, the 1- by omitting an excess re-sampling in fact in 45 in the 3rd rate transducer 32 and 44 lists, the multiplier of "zero" insertion part in the excess re-sampling concerned is omitted, and it is made as [perform / make it synchronize with the clock frequency after changing the clock of the transformation digital low pass filter 60 of operation at the time of a programmable multiplier, and / rise rate conversion or down rate conversion]. That is, it is made like rise convertible or down rate convertible [the clock frequency before the conversion concerned] (at the time of a multiplier strange processing) by interpolating between each sampling point of the clock frequency before conversion in this case, as multiplier change count of an excess re-sampling scale-factor K_o time is repeated. incidentally -- this case -- the 1- 45 becomes the rate transducer from which the so-called multiplier

change of an excess re-sampling scale-factor K_0 time changes periodically at the 3rd rate transducer 32 and 44 lists.

[0056] here -- the 1- 45 in the 3rd rate converter 32 and 44 lists The number of taps of a register is selected according to the degree of the sharpness of the edge of the image (namely, image according to the digital video signal S25 outputted from the digital video camera 30) which a user desires, respectively. When there are comparatively few taps concerned, the 1st programmable register 61 is selected and it becomes a register front-end mold rate transducer, and when there are comparatively many taps concerned, the 2nd programmable register 62 is selected, and it becomes a register postposing mold rate transducer.

[0057] As shown in drawing 5 here, the 1st programmable register 61 prepared in a register front-end mold rate transducer After giving predetermined time difference to the digital video signal S22 inputted based on the 2nd control signal S36 of operation inputted into every two or more delay circuit (Reg) 65A which constitutes a shift register - 65E from the programmable timing control circuit 63, respectively The output digital signal S40 is generated by carrying out the multiplication of the filter factor K_1 corresponding to every two or more multiplier 66A - 66E - the K_5 , respectively, and carrying out addition composition of the multiplication result concerned in an adder 67.

[0058] incidentally, at the time of rise rate conversion, based on the 2nd control signal S36 of operation inputted, respectively, each delay circuits 65A-65E carry out predetermined time maintenance, and send out the digital video signal S22 intermittently with the 1st programmable register 61 -- it is controlled like (count from which it thinned [count] out from the excess re-sampling scale factor K_0 , and the scale factor K_s was subtracted among one period). Moreover, at the time of down rate conversion, it is controlled by the 1st programmable register 61 so that each delay circuits 65A-65E fast forward the digital video signal S22 based on the 2nd control signal S36 of operation inputted, respectively.

[0059] As shown in drawing 6 , moreover, the 2nd programmable register 62 prepared in a register postposing mold rate transducer After carrying out the

multiplication of the filter factor K1 corresponding to every two or more multiplier 68A - 68E - the K5 to the digital video signal S22 inputted, respectively By giving predetermined time difference based on the 3rd control signal S37 of operation into which the multiplication result concerned is inputted by every two or more delay circuit 69A - 69E from the programmable timing control circuit 63, respectively, and therefore carrying out addition composition at two or more adders 70A-70D It is made as [send / the digital video signal S23 from which the clock frequency was changed].

[0060] setting the filter factor corresponding to each multipliers 68A-68E as a predetermined number at one plurality which comes out comparatively and contains "zero" data, respectively, and giving redundancy in such [incidentally] 2nd programmable register 62, at the time of rise rate conversion, -- being concerned -- it is made as [carry out / rise rate conversion].

[0061] Therefore in the above configuration, the circuit of FPGA33 is programmed with the digital video camera 30 by the external personal computer connected to FPGA33 concerned.

[0062] Namely, when a user operates a personal computer and starts predetermined circuit programming software in this case The personal computer concerned starts the programming procedure RT 1 of FPGA33 shown in drawing 7 , and progresses to a step SP 2 from a step SP 1. The keyboard formed in the personal computer by the user in the step SP 2 concerned is minded. The conversion ratio of the clock frequency in the input/output of the 1st rate converter 32 (and or 2nd [the] and the 3rd rate converter 44 and 45) of the rate inverter 31 is inputted.

[0063] Subsequently, a personal computer progresses to a step SP 3, and desired tap data are inputted by the user according to the degree of the sharpness of the edge of an image among the tap data from 1 to the 1st rate converter 32 (and or 2nd [the] and the 3rd rate converter 44 and 45) to 9 set up beforehand. In this case, by the 1-9 concerned, the actual number of taps carries out proportionally [sequential], and tap data are set up, while the predetermined number of taps like the number of taps of two pieces is beforehand set up as opposed to 1.

[0064] Then, it judges that a personal computer first has comparatively few taps corresponding to the tap data inputted in the step SP 5 which will continue if it judges whether 1-4 were inputted by the user as tap data and an affirmation result is obtained first in a step SP 4, and a register front-end mold rate converter is selected by selecting the 1st programmable register 61.

[0065] On the other hand, a personal computer selects a register postposing mold rate converter in a step SP 4 by judging that there are comparatively many taps to the tap data concerned in the step SP 6 which will continue if a negative result is obtained, and selecting the 2nd programmable register 62.

[0066] A personal computer determines a multiplier in the continuing step SP 7 based on the conversion ratio inputted as the selected register front-end mold rate transducer or register postposing mold rate transducer, and the number of taps after this.

[0067] Subsequently, a personal computer progresses to a step SP 8, generates the predetermined programming signal S30 according to a register front-end mold rate transducer or a register postposing mold rate transducer, a conversion ratio, the number of taps, and a multiplier, and programs 45 at the rate transducer 32 and 44 lists based on the programming signal S30 to FPGA33 concerned by sending out the generated programming signal S30 concerned to FPGA33 of the digital video camera 30. A personal computer ends the programming procedure RT 1 of FPGA33 in the continuing step SP 9 in this way.

[0068] therefore -- such -- carrying out -- FPGA33 of the digital video camera 30 -- the 1- by having programmed 45 in the 3rd rate transducer 33 and 44 lists, various colour television systems, such as NTSC system and a PAL system, etc. can output the digital video signals S25 and S27 of the clock frequency corresponding to the computer and video equipment which were applied, respectively from one set of the digital video camera 30, respectively, and the user-friendliness to the digital video camera 30 concerned can be raised.

[0069] in addition -- this digital video camera 30 -- the need -- responding -- the 1- it is not necessary to prepare two or more kinds of rate converters beforehand, and the circuitry of the digital video camera 30 can be simplified

in this way by the ability changing that conversion ratio etc. and programming 45 in the 3rd rate converter 32 and 44 lists.

[0070] Moreover, while forming the sampling analog / digital conversion circuit 40 of the rate inverter 31 sampled with the maximum actuation clock frequency set up beforehand and the sampling frequency of the same value in the input-side exterior of FPGA33 in the digital video camera 30 By having programmed the 1st rate converter 32 which can carry out down rate conversion of the maximum actuation clock frequency and the same clock frequency inside the input side of FPGA33 concerned A circuit which operates with the clock frequency of operation below the maximum actuation clock frequency to FPGA33 concerned is freely programmable. Therefore, the degree of freedom of a design of FPGA33 can be raised, and the rate converter which can change a clock frequency, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency in this way can be programmed easily.

[0071] in addition, in the digital video camera 30 While establishing the sampling digital to analog circuit 47 sampled with the sampling frequency of a predetermined value higher than the maximum actuation clock frequency set up beforehand in the output side exterior of FPGA33 By having formed the 3rd rate converter 45 which can carry out rise rate conversion of the clock frequency of a value lower than this maximum actuation clock frequency in the interior of the output side of FPGA33 concerned A circuit which operates with the clock frequency of operation below the maximum actuation clock frequency to FPGA33 concerned is freely programmable. Power consumption can be reduced while being able to reduce processing addition of the signal in FPGA33 sharply by this.

[0072] The sampling analog / digital conversion circuit 40 sampled with the sampling frequency of the value same according to the above configuration as the maximum actuation clock frequency to which FPGA33 concerned prepared in the input-side exterior of FPGA33 was set beforehand, By having formed the rate inverter 31 which consists of the 1st rate converter 32 which can carry out down rate conversion of the clock frequency of the same value as the maximum actuation clock frequency programmed inside the input side

of FPGA33 The degree of freedom of a design of FPGA33 can be raised, and the rate converter which can change a clock frequency, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency can be made to program easily. The rate inverter which can change a clock frequency easily, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency in this way is realizable.

[0073] Moreover, the sampling analog / digital conversion circuit 40 which samples the image pick-up output signal S21 with the sampling frequency of the almost same value as the value of the maximum actuation clock frequency beforehand set up in FPGA33, and changes it into the digital video signal S22, By having formed the 1st rate converter 32 which was programmed by FPGA33 concerned and which carries out down rate conversion of the clock frequency of the digital video signal S22 The rate converter which can change a clock frequency, corresponding respectively to the various computers and video equipment which were set as a clock frequency which the degree of freedom of a design of FPGA33 is raised, and is different in FPGA33 concerned can be made to program easily. The image pick-up equipment which can change a clock frequency easily, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency in this way is realizable.

[0074] (2) FPGA71 by which the same rate inverter (not shown) as the rate converter which showed the personal computer 70 by the 2nd example, and was shown in drawing 2 in the 1st example was programmed is carried in a personal computer add-in board, and 2nd example drawing 8 is prepared. in this case, in a personal computer 70, FPGA71 is programmed based on control of a microcomputer 72 and a co-processor 73.

[0075] When FPGA71 is first programmed by the circuit program designed beforehand here, a circuit program is supplied through an expansion bus 75 from a memory card 74, and, thereby, FPGA71 concerned is programmed. Moreover, when FPGA71 is programmed based on circuit programming software, it is supplied from the outboard recorder 77 which the circuit programming software concerned becomes with the internal-organs type hard

disk drive (HDD) 76, a bird disk drive, etc., or the network device 78.

[0076] In this case, after the circuit programming software supplied, respectively has displayed those contents on the monitor 79, desired programming data are made by mouse 80 grade, the programming data concerned are supplied to FPGA71 through an expansion bus 75, and FPGA71 is programmed in this way.

[0077] The rate inverter which has a desired conversion ratio is formed in FPGA71 programmed by doing in this way here, and the clock frequency of the digital video signal S50 according to the animation with which the rate inverter concerned is obtained from the 1st video equipment 81 is changed into the clock frequency beforehand set up with the 2nd video equipment 82, and it is made as [supply / to the 2nd video equipment 82 / the digital video signal S51 acquired in this way].

[0078] Moreover, in FPGA71, when supplying the digital video signal S53 according to a still picture, while making an internal memory 83 supply and memorize the digital video signal S53 concerned through an expansion bus 75, internal-organs-type a hard disk drive 76 and external storage 77 are made to memorize, and it is made as [carry out / through a network / further / a remote transfer].

[0079] As shown in drawing 9 in practice, programming data are supplied to the rate converter 86 through an expansion bus 75 and the bus interface circuit 85 one by one, a conversion ratio etc. is changed if needed in this way, and, as for FPGA71, the rate inverter 86 is programmed. Moreover, while the digital video signal S60 is inputted through the digital input interface 87, through an analog / digital conversion circuit 88, the analog video signal S61 is changed into the digital video signal S62, and is inputted into this rate inverter 86. In addition, at this time, the clock synchronization detection generation circuit 89 extracts a clock frequency from the digital video signal S60 and the analog video signal S61, respectively, and sends out the clock frequency concerned and the clock frequency which synchronized to the rate inverter 86.

[0080] The temporary memory 90 which memorizes various data or is used as FURUDO memory is used for the rate inverter 86 if needed by this. And it is

based on the synchronizing signal obtained from the clock synchronization detection generation circuit 89 and the clock synchronous circuit 92, respectively. The clock frequency of the inputted digital video signals S60 and S62 is rise-rate-changed or down rate changed. While outputting the digital signal S63 acquired in this way through the digital input interface circuitry 93, it is made as [output / it / it changes into an analog signal through the digital to analog circuit 94, and].

[0081] Various functions can be added without stopping at the specification which could program itself the rate inverter 86 which fulfills the property of a request of a user based on the circuit programming software concerned by forming FPGA71 by which the rate inverter 86 is programmed in a personal computer 70 in the above configuration as a personal computer add-in board, and supplying circuit programming software, and was beforehand set as the rate inverter 86 in this way. Thereby, the user-friendliness of the rate inverter 86 can be raised. Therefore, such a rate inverter 86 may improve versatility further compared with the 1st example.

[0082] According to the above configuration, the rate inverter which can raise the user-friendliness of the rate inverter 86 concerned, and may improve versatility in this way is realizable by having programmed the rate inverter 86 which fulfills the property for which a user asks based on circuit programming software to FPGA71 prepared in the personal computer add-in board of a personal computer 70.

[0083] (3) In other example, in addition 1st above-mentioned example Although the case where FPGA33 was programmed based on the predetermined programming signal S30 which connects the digital video camera 30 and a personal computer, and is acquired from the personal computer concerned was described As this invention is shown not only in this but in drawing 10 You may make it send out the digital video signal S25 outputted from the digital video camera 30 concerned as connected predetermined video equipment 101 to the digital video camera 30 connected to the personal computer 100 to video equipment 101. Thereby, the versatility of the digital video camera 30 can be raised.

[0084] moreover, the 1st above-mentioned example -- setting -- FPGA33 --

the 1-, although the case where three rate converters of 45 were programmed was stated to the 3rd rate converter 33 and 44 lists While this invention programs three or less pieces or three rate converters or more not only this but if needed, you may make it also program the location of programming in various locations in addition to this like between the camera signal amendment processing circuit 42 and the video encoder 43.

[0085] Although the case where the sampling frequency of a sampling analog / digital conversion circuit 31, and the sampling digital to analog circuit 47 was fixed was described, this invention sets up not only this but predetermined maximum beforehand, and you may make it make it it carry out adjustable in the 1st further above-mentioned example in the range which does not exceed the set-up maximum concerned.

[0086] In the 1st further above-mentioned example, the clock frequency of the digital video signal therefore acquired by rate conversion 13.5 [MHz] extent of D1 specification, It was set up by workstation. Although the case where it was made to become 135 [MHz] extent and 18 [MHz] extent was described 27 [MHz] extent to which this invention was set by EDTVII irrespective of the clock frequency of the digital video signal of not only this but the digital-signal-processing section 41 interior, and the clock frequency of the digital video signal outputted, You may make it change into the value of various clock frequencies in addition to this like the various clock frequencies set up with various colour television systems set up by progressive, such as 36 [MHz] extent and ATV.

[0087] Although the case where a system controller 50 and a timing generator 51 were programmed to FPGA33 in addition to the digital-signal-processing section 41 was described, you may make it select this invention freely in the 1st further above-mentioned example according to the function for which the circuit element programmed not only to this but to FPGA33 is needed.

[0088] The circuit shown in drawing 9 is programmed to FPGA71, and although the case where FPGA71 concerned was formed in a personal computer add-in board was described, you may make it this invention form not only this but FPGA71 in the circuit board generally in the 2nd further above-mentioned example. In addition, you may make it add the processing

software memory 113 which sends out the programming data which changed into the external control-interface circuit 112 into which the rate inverter 111 is made to input the exterior to the programming signal S70, and the programming signal S70 concerned in the circuit programmed to FPGA110, and were memorized beforehand to the rate inverter 111, as shown in drawing 11 in this case. Moreover, it connects with the 1st video equipment 115, the 2nd video equipment 116, and a personal computer 117, and you may make it use the circuit board in which such FPGA110 was formed, as shown in drawing 12 .

[0089]

[Effect of the Invention] An analog-to-digital-conversion means to sample the inputted analog signal with the predetermined sampling frequency set up beforehand, and to change it into a digital signal according to this invention as mentioned above, It is programmed by the field-programmable gate array with a predetermined circuit from the exterior. By having established a rate conversion means to change into a clock frequency lower than the clock frequency concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means A circuit which operates with the clock frequency of operation below the maximum actuation clock frequency to a field-programmable gate array is freely programmable. The degree of freedom of a design of a field-programmable gate array is raised by this. The rate converter which can change a clock frequency, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency is easily programmable. The rate inverter which can change a clock frequency easily, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency in this way is realizable.

[0090] Moreover, the image pick-up optical system which picturizes a photographic subject and the image sensor changed into an analog signal in response to the image pick-up light obtained from image pick-up optical system, An analog-to-digital-conversion means to change into a digital signal by sampling the analog signal acquired from an image sensor with the sampling frequency of the almost same value as the value of the maximum

actuation clock frequency of an image sensor, It is programmed by the field-programmable gate array with a predetermined circuit from the exterior. By having established a rate conversion means to change into a clock frequency lower than the clock frequency concerned the clock frequency of the digital signal acquired from an analog-to-digital-conversion means The degree of freedom of a design of a field-programmable gate array is raised. To the field-programmable gate array concerned The rate converter which can change a clock frequency, corresponding respectively to the various computers and video equipment which were set as a different clock frequency can be made to program easily. The image pick-up equipment which can change a clock frequency easily, corresponding respectively to two or more kinds of computers and video equipment which were set as a different clock frequency in this way is realizable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the 1st example of the digital video camera with which the rate inverter by this invention was formed.

[Drawing 2] It is the block diagram showing the circuitry of the rate transducer in the rate inverter by this invention.

[Drawing 3] It is the wave form chart with which explanation of the rise rate conversion in a rate converter is presented.

[Drawing 4] It is the wave form chart with which explanation of the rise rate conversion in a rate converter is presented.

[Drawing 5] It is the block diagram showing the circuitry of the 1st programmable register of a register front-end mold rate transducer.

[Drawing 6] It is the block diagram showing the circuitry of the 2nd programmable register of a register postposing mold rate transducer.

[Drawing 7] It is the flow chart which shows the programming procedure of

FPGA.

[Drawing 8] It is the block diagram showing the 2nd example of the circuitry of the personal computer with which the rate inverter by this invention was formed.

[Drawing 9] It is the block diagram showing the circuitry of FPGA by the 2nd example.

[Drawing 10] It is the block which shows the system using the digital video camera by other examples.

[Drawing 11] It is the block diagram showing the circuitry of FPGA by other examples.

[Drawing 12] It is the block diagram showing the system using FPGA by other examples.

[Drawing 13] It is the block diagram showing the circuitry of the conventional digital video camera.

[Drawing 14] It is the block diagram showing the circuitry of the conventional rate inverter.

[Description of Notations]

30 [.. FPGA, 40 / .. A sampling analog / digital conversion circuit, 41 / .. The digital-signal-processing section, 44 / .. The 2nd rate transducer 45 / .. The 3rd rate transducer 47 / .. A sampling digital to analog circuit 60 / .. It is a transformation digital low pass filter and 61 at the time of a programmable multiplier. / .. The 1st programmable register 62 / .. The 2nd programmable register 63 / .. Programmable timing control circuit.] 31 A digital video camera, 86 .. A rate inverter, 32 .. 33 The 1st rate transducer, 71

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-210425

(43)公開日 平成10年(1998)8月7日

(51) Int.Cl.⁶

識別記号

F I

H O 4 N 7/01
5/225

H O 4 N 7/01
5/225

$$\begin{matrix} \mathbf{Z} \\ \mathbf{Z} \end{matrix}$$

審査請求 未請求 請求項の数6 OL (全 14 頁)

(21)出願番号 特願平9-8046

(22)出願日 平成9年(1997)1月20日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 納田 重利

東京都品川区北品川6丁目7番35号ソニー
株式会社内

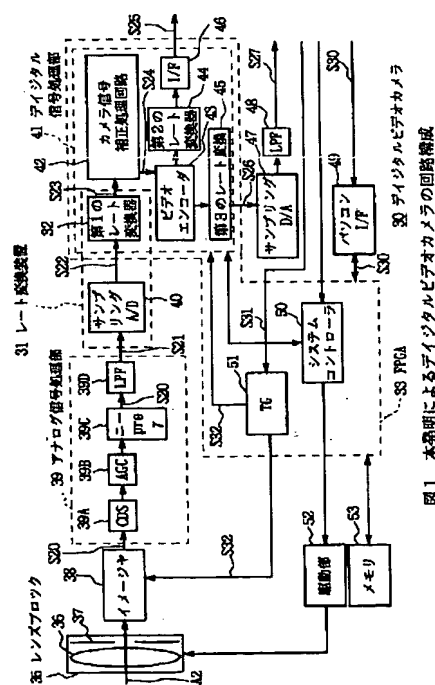
(74)代理人 弁理士 田辺 恵基

(54) 【発明の名称】 レート変換装置及び撮像装置

(57) 【要約】

【課題】本発明は、レート変換装置及び撮像装置について、異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得るようにする。

【解決手段】本発明は、アナログ信号を予め設定されたサンプリング周波数でサンプリングしてデジタル信号に変換するアナログデジタル変換手段と、外部からフィールドプログラマブルゲートアレイに所定の回路と共にプログラミングされ、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを設けることにより、フィールドプログラマブルゲートアレイの設計の自由度を向上させて異なるクロック周波数に設定された各種コンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換器を容易にプログラミングできる。



【特許請求の範囲】

【請求項1】 デジタル信号のクロック周波数を変換するレート変換装置において、
入力されたアナログ信号を予め設定された所定のサンプリング周波数でサンプリングしてデジタル信号に変換するアナログデジタル変換手段と、
外部から所定の回路がプログラミングされるフィールドプログラマブルゲートアレイに上記回路と共にプログラミングされ、上記アナログデジタル変換手段から得られる上記デジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを具えることを特徴とするレート変換装置。

【請求項2】 上記アナログデジタル変換手段は、
上記サンプリング周波数が、上記フィールドプログラマブルゲートアレイにプログラミングされた上記回路の予め設定された最大動作クロック周波数の値とほぼ同じ値に設定されることを特徴とする請求項1に記載のレート変換装置。

【請求項3】 上記フィールドプログラマブルゲートアレイにプログラミングされ、上記レート変換手段から得られる上記デジタル信号のクロック周波数を当該クロック周波数よりも高い所定のクロック周波数に変換するレート変換手段と、
上記レート変換手段から得られる上記デジタル信号を予め設定されたサンプリング周波数でサンプリングすることによりアナログ信号に変換するデジタルアナログ変換手段とを具えることを特徴する請求項1に記載のレート変換装置。

【請求項4】 被写体を撮像する撮像光学系と、
上記撮像光学系から得られる撮像光を受けてアナログ信号に変換する撮像素子と、
上記撮像素子から得られるアナログ信号を、上記撮像素子の最大動作クロック周波数の値とほぼ同じ値のサンプリング周波数でサンプリングすることによりデジタル信号に変換するアナログデジタル変換手段と、
外部から所定の回路がプログラミングされるフィールドプログラマブルゲートアレイに上記回路と共にプログラミングされ、上記アナログデジタル変換手段から得られる上記デジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを具えることを特徴とする撮像装置。

【請求項5】 上記デジタル信号処理回路は、
予め最大動作クロック周波数の値が上記サンプリング周波数の値とほぼ同じ値に設定されることを特徴とする請求項4に記載の撮像装置。

【請求項6】 上記フィールドプログラマブルゲートアレイにプログラミングされ、上記レート変換手段から得られる上記デジタル信号のクロック周波数を当該クロック周波数よりも高い所定のクロック周波数に変換するレート変換手段と、

上記レート変換手段から得られる上記デジタル信号を予め設定されたサンプリング周波数でサンプリングすることによりアナログ信号に変換するデジタルアナログ変換手段とを具えることを特徴とする請求項4に記載の撮像装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

【0002】 発明の属する技術分野

従来の技術（図13及び図14）

発明が解決しようとする課題

課題を解決するための手段（図1～図12）

発明の実施の形態

（1）第1実施例（図1～図7）

（2）第2実施例（図8及び図9）

（3）他の実施例（図10及び図12）

発明の効果

【0003】

【発明の属する技術分野】 本発明はレート変換装置及び撮像装置に関し、例えばデジタルビデオ信号のクロック周波数を変換するレート変換装置及び当該レート変換装置が設けられたデジタルビデオカメラに適用して好適なものである。

【0004】

【従来の技術】 従来、デジタルビデオカメラにおいては、国や地域毎にカラーテレビジョン方式として標準化されたNTSC（National Television System Committee）方式、PAL（Phase Alternating by Line）方式、SECAM（Sequential Memoire Color Television System）方式、HDTV（High Definition Television）方式又はATV（Advanced Television）方式等が適用されており、それぞれ適用されたカラーテレビジョン方式の種類によつてデジタルビデオ信号のクロック周波数が異なる値に設定されている。

【0005】 ところで近年、マルチメディアの普及に伴い、デジタルビデオカメラから得られるデジタルビデオ信号をコンピュータやビデオ装置に用いることが多くなつてきている。

【0006】 ところがこのようなコンピュータやビデオ装置では、内部に取り込むデジタルビデオ信号のクロック周波数の値がデジタルビデオカメラにおいて予め設定されたデジタルビデオ信号のクロック周波数の値と異なる値に設定されている場合がある。このため最近では、デジタルビデオカメラからその内部で生成したデジタルビデオ信号のクロック周波数の値をコンピュータやビデオ装置で予め設定されたクロック周波数の値に変換して出力させるように当該デジタルビデオカメラにレート変換装置を設ける要望が高まつてきている。

【0007】 ここで図13に示すように、このようなデジタルビデオカメラ1では、被写体から到来する撮像

光LA1をレンズブロック部2のレンズ3と、アイリス4とを順次通して例えばCCD (Charge Coupled Device) となる撮像素子 (以下、これをイメージャと呼ぶ) 5に受けて被写体映像を含む視野映像に対応する撮像出力信号S1をアナログ信号処理部6に与える。

【0008】アナログ信号処理部6では、入力された撮像出力信号S1をCDS (Correlated Double Sampling) 6Aを介して相関二重サンプリングすることにより信号部分を抜き出した後、AGC (Automatic Gain Control) 6Bを介して所定のゲインをもつように利得制御し、この後ニー／pre γ 6Cを介してダイナミツクレンジを圧縮すると共に、所定のγ特性となるように補正した後、さらにローパスフィルタ6Dを介してイメージャ (CCD) 5の動作クロック周波数の限界周波数に対する最大周波数帯域以上をカットし、かくして得られる撮像出力信号S2をアナログ／デジタル変換回路 (A/D) 7により折り返し歪みの発生を防止してデジタルビデオ信号S3に変換してデジタル信号処理部8に送出する。デジタル信号処理部8では、カメラ信号補正処理回路9において、デジタルビデオ信号S3に対してγ補正、白色と黒色とのレベルバランス補正、明るさの不均一の補正及び画素欠陥補正等を実行し、かくして得られるデジタルビデオ信号S4をレート変換装置10に送出する。因みにカメラ信号処理回路9には、メモリ9Aが設けられており、当該メモリ9Aには、予めγ補正用のデータ等が格納されている。

【0009】レート変換装置10は、デジタルビデオ信号S4のクロック周波数を、コンピュータ等で予め設定されたクロック周波数と同じクロック周波数となるようにアップレート変換又はダウンレート変換し、かくして得られるクロック周波数が変換されたデジタルビデオ信号S5をビデオエンコーダ11に送出する。

【0010】ビデオエンコーダ11は、デジタルビデオ信号S5をエンコードした後、インターフェイス (I/F) 12を介して外部に出力すると共に、デジタル／アナログ変換回路 (D/A) 13と、ローパスフィルタ (LPF) 14とを順次介してアナログビデオ信号S7として外部に出力する。

【0011】因みにデジタルビデオカメラ1では、システムコントローラ15が外部からの制御に基づいてデジタル信号処理部8を制御すると共に、駆動部16を制御することにより当該駆動部16がレンズブロック2のフォーカス及びアイリスを制御する。またこのデジタルビデオカメラ1では、タイミングコントローラ17が外部から得られる同期信号S9に同期させたタイミング信号S10を生成してこれをデジタル信号処理部8及びイメージャ5に送出する。かくしてデジタル信号処理部8及びイメージャ5は、それぞれ入力されたタイミング信号S10のタイミングに同期して動作する。

【0012】かくしてデジタルビデオカメラ1は、例

えば上述したカラーテレビジョン方式に応じたデジタルビデオ信号S4のクロック周波数の値をコンピュータで設定されたクロック周波数の値に変換して出力し得るようになされている。

【0013】ここで図14に示すように、レート変換装置10は、通常、係数時変型デジタルローパスフィルタ20の入力側又は出力側のいずれか一方に第1又は第2のレジスタ21又は22が設けられ、タイミング制御回路23が変換前のクロック周波数f_aと、変換後のクロック周波数f_bとに基づいて係数時変型デジタルローパスフィルタ20及び、第1又は第2のレジスタ21又は22にそれぞれ動作クロックに応じた第1～第3の動作制御信号S15～S17を生成して送出することにより、当該係数時変型デジタルローパスフィルタ20及び、第1又は第2のレジスタ21又は22によつて、デジタルビデオ信号S4のクロック周波数f_aをクロック周波数f_bに変換し得るようになされている。

【0014】なおレート変換装置10は、ユーザが望む画像 (すなわち、デジタルビデオカメラ1から出力されるデジタルビデオ信号S6に応じた画像) のエッジのシャープさの度合いに応じて、第1のレジスタ21が係数時変型デジタルローパスフィルタ20の入力側に設けられたレジスタ前置型レート変換装置、又は第2のレジスタ22が当該係数時変型デジタルローパスフィルタ20の出力側に設けられたレジスタ後置型レート変換装置のいずれか一方に設定される。

【0015】

【発明が解決しようとする課題】ところでかかる構成のデジタルビデオカメラ1では、レート変換装置10において予め設定される変換比が固定されていることにより、特定のコンピュータやビデオ装置に対してのみデジタルビデオ信号S5を供給し得るようになされている。

【0016】すなわちこのようなデジタルビデオカメラ1は、設定されたクロック周波数の値がそれぞれ異なる複数種類のコンピュータやビデオ装置にデジタルビデオ信号S5を供給し難い。このためデジタルビデオカメラ1を所有するユーザがこのような各種コンピュータやビデオ装置にデジタルビデオ信号S5を供給することを考えた場合には、それぞれ個々のコンピュータやビデオ装置のクロック周波数の設定と同じ設定がなされたレート変換装置を有する複数のデジタルビデオカメラを購入しなければならない問題があつた。

【0017】またこのようなデジタルビデオカメラ1では、クロック周波数の設定がそれぞれ異なる各種コンピュータやビデオ装置にそれぞれデジタルビデオ信号S5を供給するために当該デジタルビデオカメラ1の内部にそれぞれ異なる変換比に設定された複数のレート変換装置を設けることが考えられる。ところがこの場合には、デジタルビデオカメラ1内部の回路構成が煩雑

になる問題があつた。本発明は以上の点を考慮してなされたもので、異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得るレート変換装置及び撮像装置を提案しようとするものである。

【0018】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、レート変換装置において、入力されたアナログ信号を予め設定された所定のサンプリング周波数でサンプリングしてデジタル信号に変換するアナログデジタル変換手段と、外部から所定の回路がプログラミングされるフィールドプログラマブルゲートアレイに当該回路と共にプログラミングされ、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを設けるようにした。

【0019】また第2の発明においては、被写体を撮像する撮像光学系と、撮像光学系から得られる撮像光を受けてアナログ信号に変換する撮像素子と、撮像素子から得られるアナログ信号を、撮像素子の最大動作クロック周波数の値とほぼ同じ値のサンプリング周波数でサンプリングすることによりデジタル信号に変換するアナログデジタル変換手段と、外部から所定の回路がプログラミングされるフィールドプログラマブルゲートアレイに当該回路と共にプログラミングされ、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを設けるようにした。

【0020】従つて第1の発明では、アナログデジタル変換手段によつてアナログ信号を予め設定された所定のサンプリング周波数でサンプリングしてデジタル信号に変換し、外部からフィールドプログラマブルゲートアレイに所定の回路と共にプログラミングされたレート変換手段によつて、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するようにしたことにより、フィールドプログラマブルゲートアレイに最大動作クロック周波数以下の動作クロック周波数で動作するような回路を自由にプログラミングすることができ、これによりフィールドプログラマブルゲートアレイの設計の自由度を向上させて、異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換手段を容易にプログラミングすることができる。

【0021】また第2の発明では、撮像光学系から得られる撮像光を撮像素子によつて受けてアナログ信号に変換し、当該アナログ信号をアナログデジタル変換手段によつて撮像素子の最大動作クロック周波数の値とほぼ同じ値のサンプリング周波数でサンプリングすることに

よりデジタル信号に変換し、外部からフィールドプログラマブルゲートアレイに所定の回路と共にプログラミングされたレート変換手段によつて、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するようにしたことにより、フィールドプログラマブルゲートアレイの設計の自由度を向上させて当該フィールドプログラマブルゲートアレイに、異なるクロック周波数に設定された各種コンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換手段を容易にプログラミングすることができる。

【0022】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0023】(1) 第1実施例

図1において、30は全体として第1実施例によるデジタルビデオカメラを示し、レート変換装置31においてクロック周波数を変換する第1のレート変換器32がフィールドプログラマブルゲートアレイ（以下、これをFPGAと呼ぶ）33にプログラミングされて設けられている。

【0024】この場合デジタルビデオカメラ30では、被写体から到来する撮像光L2をレンズブロック35のレンズ36と、アイリス37とを順次通して例えば74.25〔MHz〕程度のクロック周波数で動作するHDTV用のCCDでなるイメージャ38を受けて被写体映像を含む視野映像に対応する撮像出力信号S20をアナログ信号処理部39に与える。

【0025】アナログ信号処理部39では、入力された撮像出力信号S20をCDS39Aを介して相関二重サンプリングすることにより信号部分を抜き出した後、AGC39Bを介して所定のゲインをもつように利得制御し、この後ニー／prey39Cを介してダイナミックレンジを圧縮すると共に、所定のγ特性となるように補正し、さらにこの後ローパスフィルタ39Dを介してイメージャ（CCD）38の動作クロック周波数の限界周波数に対する最大周波数帯域（例えば37〔MHz〕程度）以上をカットし、かくして得られる撮像出力信号S21をレート変換装置31のサンプリングアナログ／デジタル変換回路（サンプリングA/D）40に送出する。

【0026】この場合サンプリングアナログ／デジタル変換回路40は、イメージャ（CCD）38の動作クロック周波数に応じて、後段のFPGA33にプログラミングされた回路に予め設定された最大動作クロック周波数（この第1実施例では74.25〔MHz〕程度）とほぼ同じ固定のサンプリング周波数でサンプリングするように設定されている。これによりFPGA33に、予め設定された最大動作クロック周波数以下の所定の動作クロック周波数で動作するような回路が自由にプログラミ

ングし得るようになされている。

【0027】 サンプリグアナログ／デジタル変換回路40は、入力された撮像出力信号S21を74.25〔MHz〕程度のサンプリグ周波数でサンプリグし、かくして得られるデジタルビデオ信号S22をFPGA33にプログラミングされたデジタル信号処理部41の第1のレート変換器32に送出する。

【0028】 第1のレート変換器32は、入力されたデジタルビデオ信号S22の74.25〔MHz〕程度でなるクロック周波数を、当該デジタル信号処理部41内における予め設定された例えば18〔MHz〕程度でなる動作クロック周波数と同じ18〔MHz〕程度のクロック周波数にダウンレート変換し、当該得られた18〔MHz〕程度でなるクロック周波数のデジタルビデオ信号S23をカメラ信号補正処理回路42に送出する。

【0029】 カメラ信号補正処理回路42は、入力されたデジタルビデオ信号S23に対して γ 補正、白色と黒色とのレベルバランス補正、明るさの不均一の補正及び画素欠陥補正等を実行し、かくして得られるデジタルビデオ信号S24をビデオエンコーダ43を介してエンコードして第2及び第3のレート変換器44及び45にそれぞれ送出する。

【0030】 ここでまず第2のレート変換器44は、入力されたデジタルビデオ信号S24の18〔MHz〕程度でなるクロック周波数を、D1規格の13.5〔MHz〕程度のクロック周波数にダウンレート変換し、かくして得られる13.5〔MHz〕程度でなるクロック周波数のデジタルビデオ信号S25をインターフェイス46を介して接続される例えばデジタルビデオテープレコーダ等のビデオ装置（図示せず）に送出する。

【0031】 また第3のレート変換器45は、入力されたデジタルビデオ信号S24の18〔MHz〕程度でなるクロック周波数を、ワークステーション（図示せず）等で予め設定された例えば135〔MHz〕程度のクロック周波数にアップレート変換し、かくして得られる135〔MHz〕程度でなるクロック周波数のデジタルビデオ信号S26をサンプリグデジタル／アナログ変換回路（サンプリグD/A）47に送出する。

【0032】 サンプリグデジタル／アナログ変換回路47は、第3のレート変換器45がアップレート変換するときに予め設定された最大クロック周波数（この第1実施例では135〔MHz〕程度）とほぼ同じ固定のサンプリグ周波数でサンプリグするように設定されている。また第3のレート変換器45が予め設定された最大クロック周波数以下のクロック周波数をアップレート変換することにより、FPGA33に最大クロック周波数以下で動作するような回路が自由にプログラミングし得るようになされている。

【0033】 サンプリグデジタル／アナログ変換回路47は、FPGA33の外部に供給されるアナログビ

デオ信号の予め設定された例えば135〔MHz〕程度の最大クロック周波数の値と同じ値のサンプリグ周波数でサンプリグするように設定されており、入力されたデジタルビデオ信号S26を135〔MHz〕程度のサンプリグ周波数でサンプリグしてアナログビデオ信号S27に変換し、ローパスフィルタ48に送出する。

【0034】 ローパスフィルタ48は、第3のレート変換器45に予め設定された最大クロック周波数の限界周波数に対する最大周波数帯域（67.5〔MHz〕程度）以上をカットし、かくしてワークステーションに送出し得るようになされている。

【0035】 ここでこのようなデジタルビデオカメラ30においてFPGA33は、外部の例えばパーソナルコンピュータ（図示せず）からバツファを有するパーソナルコンピュータインターフェイス（パソコンI/F）49を介して得られるプログラミング信号S30に基づいて回路がプログラミングされる。

【0036】 この場合FPGA33には、デジタル信号処理部41に加えてシステムコントローラ50及びタイミングジェネレータ51もプログラミングされており、当該システムコントローラ50が外部からの制御に基づいてデジタル信号処理部41を制御すると共に、駆動部52を制御することにより当該駆動部52がレンズブロック35のフォーカス及びアイリスを制御する。

【0037】 またFPGA33では、タイミングコントローラ51が外部から得られる同期信号S31に同期させたタイミング信号S32を生成してこれをデジタル信号処理部41及びイメージャ38に送出する。かくしてデジタル信号処理部41及びイメージャ38は、それぞれ入力されたタイミング信号S32のタイミングに同期して動作する。因みにFPGA33には、RAM（Random Access Memory）及びROM（Read Only Memory）等であるメモリ53が設けられており、当該メモリ53は必要に応じてデジタル信号処理に用いられる。

【0038】 ここで図2に示すように、レート変換装置31の第1のレート変換器32は、FPGA33にプログラミングされていることにより、必要に応じて再プログラミングされ、回路構成を変更し得るようになされている。

【0039】 従つてこのような第1のレート変換器32では、プログラマブル係数時変型デジタルローパスフィルタ60の入力側又は出力側のいずれか一方に第1又は第2のプログラマブルレジスタ61又は62が設けられ、さらにプログラマブルタイミング制御回路63がデジタルビデオ信号S22の変換前のクロック周波数 f_c と、変換後のクロック周波数 f_d とに基づいてプログラマブル係数時変型デジタルローパスフィルタ60及び、第1又は第2のプログラマブルレジスタ61又は62にそれぞれの動作クロックに応じた第1～第3の動作制御信号S35～S37を生成して送出する。これによ

リデジタルビデオ信号S22のクロック周波数 f_c をクロック周波数 f_d に変換し得るようになされている。因みにFPGA33にプログラミングされた第2及び第3のレート変換器44及び45も上述した第1のレート変換器32と同様に構成されている。

【0040】ここで第1～第3のレート変換器32及び44並びに45において実行されるクロック周波数の変換の原理を図3(A)～図4(D)に示す。

【0041】すなわちまず入力されるデジタルビデオ信号のクロック周波数 f_e を当該クロック周波数 f_e よ

$$f_o = LCM(f_e, f_g)$$

【0043】で表されるような最小公倍数のクロック周波数 f_o でオーバー再サンプリングしてアップレート変換する(図3(B))。

【0044】これによりデジタルビデオ信号の変換前のクロック周波数 f_e で繰り返していた周波数成分(図4(A))が、周波数特性はそのままに最小公倍数のクロック周波数 f_o で繰り返すようになる(図4(B))。

【0045】次いでサンプリング定理に基づいて、最小公倍数のクロック周波数 f_o のほぼ半分のクロック周波数間に変換後のクロック周波数 f_g のほぼ半分の周波数成分があると、当該変換後のクロック周波数 f_g に折り返し歪みが生じることにより、この変換後のクロック周波数 f_g のほぼ半分の周波数成分以上をローパスフィル

$$K_o = f_o / f_e$$

【0049】で表すことができると共に、各再サンプリング点に対して間引きサンプリングを実行する場合、当該間引きの倍率 K_s を次式(3)

$$K_s = f_g / f_o$$

【0051】で表すことができ、かくしてアップレート変換における変換倍率 K は次式(4)

$$K = K_o K_s = f_g / f_e$$

【0053】で表すことができる。

【0054】また入力されるデジタルビデオ信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するダウンレート変換では、上述した図3(A)から図3(C)に示すアップレート変換の場合と同様に処理すると共に、続いてオーバー再サンプリングした複数の再サンプリング点から変換後のクロック周波数に応じた再サンプリング点を残すように間引きサンプリングを実行することにより、かくしてデジタルビデオ信号を周波数特性を最大限維持してダウンレート変換することができる。

【0055】なお第1～第3のレート変換器32及び44並びに45において実際には、オーバー再サンプリングを省略することにより当該オーバー再サンプリングにおける「零」挿入箇所の係数を省略し、プログラマブル係数時変型デジタルローパスフィルタ60の動作クロックを変換後のクロック周波数に同期させてアップレ

りも高いクロック周波数 f_g に変換するアップレート変換では、変換前のクロック周波数 f_e のデジタルビデオ信号(図3(A))に対して、変換後のクロック周波数 f_g のサンプリングポイントとなる箇所にそれぞれ「零」データを挿入して、当該変換前のクロック周波数 f_e をこれと変換後のクロック周波数 f_g との次式
 (1)

【0042】

【数1】

$$\dots\dots (1)$$

タにより抑圧する(図3(C)及び図4(C))。

【0046】続いてオーバー再サンプリングした複数の再サンプリング点から変換後のクロック周波数 f_g に応じた再サンプリング点を残すように間引きサンプリングを実行することにより、かくしてデジタルビデオ信号を周波数特性を最大限維持してアップレート変換することができる(図3(D)及び図4(D))。

【0047】因みにアップレート変換では、変換前のクロック周波数 f_e を、これと変換後のクロック周波数 f_g との最小公倍数のクロック周波数 f_o でオーバー再サンプリングする場合、当該オーバー再サンプリングの倍率 K_o を次式(2)

【0048】

【数2】

$$\dots\dots (2)$$

【0050】

【数3】

$$\dots\dots (3)$$

【0052】

【数4】

$$\dots\dots (4)$$

ト変換又はダウンレート変換を実行するようになされている。すなわちこの場合には、オーバー再サンプリング倍率 K_o 回の係数切換え計算を繰り返すようにして変換前のクロック周波数の各サンプリング点間を補間することにより当該変換前のクロック周波数をアップレート変換又はダウンレート変換し得る(係数時変処理)ようになされている。因みにこの場合第1～第3のレート変換器32及び44並びに45は、いわゆるオーバー再サンプリング倍率 K_o 回の係数切換えが周期的に変化するレート変換器となる。

【0056】ここで第1～第3のレート変換器32及び44並びに45は、それぞれユーザが望む画像(すなわち、デジタルビデオカメラ30から出力されるデジタルビデオ信号S25に応じた画像)のエッジのシャープさの度合いに応じてレジスタのタップ数が選定され、当該タップ数が比較的少ない場合には、第1のプログラマブルレジスタ61が選定されてレジスタ前置型レート

変換器となり、当該タップ数が比較的多い場合には、第2のプログラマブルレジスタ62が選定されてレジスタ後置型レート変換器となる。

【0057】ここで図5に示すように、レジスタ前置型レート変換器に設けられる第1のプログラマブルレジスタ61は、入力されるデジタルビデオ信号S22に対して、シフトレジスタを構成する複数の遅延回路(Reg)65A~65E毎にそれぞれプログラマブルタイミング制御回路63から入力される第2の動作制御信号S36に基づいて所定の時間差を与えてから、複数の乗算器66A~66E毎にそれぞれ対応するフィルタ係数K1~K5を乗算し、当該乗算結果を加算器67において加算合成することにより出力デジタル信号S40を生成する。

【0058】因みに第1のプログラマブルレジスタ61では、アップレート変換時、各遅延回路65A~65Eがそれぞれ入力される第2の動作制御信号S36に基づいて、デジタルビデオ信号S22を所定時間保持して間欠的に送出する(1周期の間にオーバー再サンプリング倍率K_oから間引き倍率K_sが減算された回数)ように制御される。また第1のプログラマブルレジスタ61では、ダウンレート変換時、各遅延回路65A~65Eがそれぞれ入力される第2の動作制御信号S36に基づいて、デジタルビデオ信号S22を早送りするように制御される。

【0059】また図6に示すように、レジスタ後置型レート変換器に設けられる第2のプログラマブルレジスタ62は、入力されるデジタルビデオ信号S22に対して、複数の乗算器68A~68E毎にそれぞれ対応するフィルタ係数K1~K5を乗算してから、当該乗算結果を複数の遅延回路69A~69E毎にそれぞれプログラマブルタイミング制御回路63から入力される第3の動作制御信号S37に基づいて所定の時間差を与えて複数の加算器70A~70Dによつて加算合成することにより、クロック周波数が変換されたデジタルビデオ信号S23を送出し得るようになされている。

【0060】因みにこのような第2のプログラマブルレジスタ62では、アップレート変換時、各乗算器68A~68Eにそれぞれ対応するフィルタ係数を、所定数に1個の割合で「零」データを含む複数個に設定して冗長性を持たせることにより、当該アップレート変換し得るようになされている。

【0061】以上の構成において、デジタルビデオカメラ30では、FPGA33の回路が当該FPGA33に接続された外部の例えばパーソナルコンピュータによつてプログラミングされる。

【0062】すなわちこの場合ユーザがパーソナルコンピュータを操作して所定の回路プログラミングソフトウェアを起動させることにより、当該パーソナルコンピュータは図7に示すFPGA33のプログラミング処理手

順RT1を開始してステップSP1からステップSP2に進み、当該ステップSP2においてユーザによりパーソナルコンピュータに設けられた例えばキーボードを介して、レート変換装置31の第1のレート変換器32(及び又は第2及び第3のレート変換器44及び45)の入力/出力におけるクロック周波数の変換比が入力される。

【0063】次いでパーソナルコンピュータは、ステップSP3に進み、ユーザにより画像のエッジのシャープさの度合いに応じて第1のレート変換器32(及び又は第2及び第3のレート変換器44及び45)に対する予め設定された例えば1から9までのタップデータのうち、所望のタップデータが入力される。この場合タップデータは、1に対して例えば2個のタップ数のような所定のタップ数が予め設定されていると共に、当該1から9までに実際のタップ数が順次比例して設定されている。

【0064】続いてステップSP4において、まずパーソナルコンピュータはユーザによりタップデータとして1~4が入力されたか否かを判断し、まず肯定結果を得ると続くステップSP5において入力されたタップデータに対応するタップ数が比較的小さいと判断して、第1のプログラマブルレジスタ61を選定することによりレジスタ前置型レート変換器を選定する。

【0065】一方、パーソナルコンピュータは、ステップSP4において、否定結果を得ると続くステップSP6において当該タップデータに対するタップ数が比較的多いと判断して第2のプログラマブルレジスタ62を選定することによりレジスタ後置型レート変換器を選定する。

【0066】この後パーソナルコンピュータは、続くステップSP7において、選定されたレジスタ前置型レート変換器又はレジスタ後置型レート変換器と、入力された変換比と、タップ数とに基づいて係数を決定する。

【0067】次いでパーソナルコンピュータは、ステップSP8に進み、レジスタ前置型レート変換器又はレジスタ後置型レート変換器と、変換比と、タップ数と、係数とに応じた所定のプログラミング信号S30を生成し、当該生成したプログラミング信号S30をデジタルビデオカメラ30のFPGA33に送出することにより当該FPGA33にレート変換器32及び44並びに45をプログラミング信号S30に基づいてプログラミングする。かくしてパーソナルコンピュータは続くステップSP9においてFPGA33のプログラミング処理手順RT1を終了する。

【0068】従つてこのようにしてデジタルビデオカメラ30のFPGA33に、第1~第3のレート変換器33及び44並びに45をプログラミングすることにより、1台のデジタルビデオカメラ30からNTSC方式やPAL方式等の各種カラーテレビジョン

方式等がそれぞれ適用されたコンピュータやビデオ装置に、それぞれ対応するクロック周波数のデジタルビデオ信号S25及びS27を出力することができ、当該デジタルビデオカメラ30に対する使い勝手を向上させることができる。

【0069】これに加えてこのデジタルビデオカメラ30では、必要に応じて第1～第3のレート変換器32及び44並びに45をその変換比等を変更してプログラミングすることができることにより、予め複数種類のレート変換器を設ける必要がなく、かくしてデジタルビデオカメラ30の回路構成を簡易にすることができる。

【0070】またデジタルビデオカメラ30では、FPGA33の入力側外部にその予め設定された最大動作クロック周波数と同じ値のサンプリング周波数でサンプリングするレート変換装置31のサンプリングアナログ／デジタル変換回路40を設けると共に、当該FPGA33の入力側内部に最大動作クロック周波数と同じクロック周波数をダウンレート変換し得る第1のレート変換器32をプログラミングするようにしたことにより、当該FPGA33に最大動作クロック周波数以下の動作クロック周波数で動作するような回路を自由にプログラミングすることができる。従つてFPGA33の設計の自由度を向上させることができ、かくして異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換器を容易にプログラミングすることができる。

【0071】これに加えてデジタルビデオカメラ30では、FPGA33の出力側外部にその予め設定された最大動作クロック周波数よりも高い所定の値のサンプリング周波数でサンプリングするサンプリングデジタル／アナログ変換回路47を設けると共に、当該FPGA33の出力側内部にこの最大動作クロック周波数よりも低い値のクロック周波数をアップレート変換し得る第3のレート変換器45を設けるようにしたことにより、当該FPGA33に最大動作クロック周波数以下の動作クロック周波数で動作するような回路を自由にプログラミングすることができる。これによりFPGA33内の信号の処理付加を大幅に低減させることができると共に、消費電力を低下させることができる。

【0072】以上の構成によれば、FPGA33の入力側外部に設けられた当該FPGA33の予め設定された最大動作クロック周波数と同じ値のサンプリング周波数でサンプリングするサンプリングアナログ／デジタル変換回路40と、FPGA33の入力側内部にプログラミングされた最大動作クロック周波数と同じ値のクロック周波数をダウンレート変換し得る第1のレート変換器32とからなるレート変換装置31を設けるようにしたことにより、FPGA33の設計の自由度を向上させて、異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数

を変換し得るレート変換器を容易にプログラミングさせることができ、かくして異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得るレート変換装置を実現することができる。

【0073】また撮像出力信号S21を、FPGA33において予め設定された最大動作クロック周波数の値とほぼ同じ値のサンプリング周波数でサンプリングしてデジタルビデオ信号S22に変換するサンプリングアナログ／デジタル変換回路40と、当該FPGA33にプログラミングされた、デジタルビデオ信号S22のクロック周波数をダウンレート変換する第1のレート変換器32とを設けるようにしたことにより、FPGA33の設計の自由度を向上させて当該FPGA33に異なるクロック周波数に設定された各種コンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換器を容易にプログラミングさせることができ、かくして異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得る撮像装置を実現することができる。

【0074】(2) 第2実施例

図8は、第2実施例によるパーソナルコンピュータ70を示し、第1実施例において図2に示したレート変換器と同じレート変換装置(図示せず)がプログラミングされたFPGA71がパソコン拡張ボードに搭載されて設けられている。この場合パーソナルコンピュータ70では、マイコン72及びコプロセッサ73の制御に基づいてFPGA71がプログラミングされる。

【0075】ここでまずFPGA71が予め設計された回路プログラムでプログラミングされる場合には、回路プログラムがメモリカード74から拡張バス75を介して供給され、これにより当該FPGA71がプログラミングされる。またFPGA71が回路プログラミングソフトに基づいてプログラミングされる場合には、当該回路プログラミングソフトが内臓式ハードディスクドライブ(HDD)76、バードディスクドライブ等である外部記録装置77、又はネットワーク機器78から供給される。

【0076】この場合それぞれ供給される回路プログラミングソフトは、その内容をモニター79に表示した状態で、マウス80等により所望のプログラミングデータに仕上げられ、当該プログラミングデータが拡張バス75を介してFPGA71に供給され、かくしてFPGA71がプログラミングされる。

【0077】ここでこのようにしてプログラミングされたFPGA71には、所望の変換比を有するレート変換装置が形成されており、当該レート変換装置が第1のビデオ装置81から得られる動画に応じたデジタルビデオ信号S50のクロック周波数を第2のビデオ装置82

で予め設定されたクロック周波数に変換し、かくして得られるデジタルビデオ信号S51を第2のビデオ装置82に供給し得るようになされている。

【0078】またFPGA71では、静止画に応じたデジタルビデオ信号S53を供給する場合、当該デジタルビデオ信号S53を拡張バス75を介して内部メモリ83に供給して記憶させると共に、内臓式のハードディスクドライブ76や外部記憶装置77に記憶させ、さらにはネットワークを介してリモート転送し得るようになされている。

【0079】実際上図9に示すように、FPGA71は、拡張バス75とバスインターフェイス回路85を順次介してプログラミングデータがレート変換器86に供給され、かくして必要に応じて変換比等が変更されてレート変換装置86がプログラミングされる。またこのレート変換装置86には、デジタルビデオ信号S60がデジタル入力インターフェイス87を介して入力されると共に、アナログビデオ信号S61がアナログ／デジタル変換回路88を介してデジタルビデオ信号S62に変換されて入力される。なおこのときクロック同期検出生成回路89がそれぞれデジタルビデオ信号S60及びアナログビデオ信号S61からクロック周波数を抽出し、当該クロック周波数と同期したクロック周波数をレート変換装置86に送出する。

【0080】これによりレート変換装置86は、各種データを記憶したり、又はフルドメモリとして用いられるテンポラリメモリ90を必要に応じて用い、かつクロック同期検出生成回路89及びクロック同期回路92からそれぞれ得られる同期信号に基づいて、入力されたデジタルビデオ信号S60及びS62のクロック周波数をアップレート変換又はダウンレート変換し、かくして得られるデジタル信号S63をデジタル入力インターフェイス回路93を介して出力すると共に、デジタル／アナログ変換回路94を介してアナログ信号に変換して出力し得るようになされている。

【0081】以上の構成において、パーソナルコンピュータ70では、レート変換装置86がプログラミングされるFPGA71がパソコン拡張ボードとして設けられ、回路プログラミングソフトが供給されることにより、当該回路プログラミングソフトに基づいてユーザが所望の特性を満たすレート変換装置86を自らプログラミングすることができ、かくしてレート変換装置86に予め設定された規格に留まらずに各種機能を付加することができる。これによりレート変換装置86の使い勝手を向上させることができる。従つてこのようなレート変換装置86は、第1実施例に比べてさらに汎用性を向上し得る。

【0082】以上の構成によれば、パーソナルコンピュータ70のパソコン拡張ボードに設けられたFPGA71に回路プログラミングソフトに基づいてユーザが所望

する特性を満たすようなレート変換装置86をプログラミングするようにしたことにより、当該レート変換装置86の使い勝手を向上させることができ、かくして汎用性を向上し得るレート変換装置を実現することができる。

【0083】(3) 他の実施例

なお上述の第1実施例においては、デジタルビデオカメラ30と、パーソナルコンピュータとを接続して当該パーソナルコンピュータから得られる所定のプログラミング信号S30に基づいてFPGA33をプログラミングするようにした場合について述べたが、本発明はこれに限らず、図10に示すように、パーソナルコンピュータ100に接続されたデジタルビデオカメラ30に所定のビデオ装置101を接続するようにして当該デジタルビデオカメラ30から出力されたデジタルビデオ信号S25をビデオ装置101に送出するようにしても良い。これによりデジタルビデオカメラ30の汎用性を向上させることができる。

【0084】また上述の第1実施例においては、FPGA33に第1～第3のレート変換器33及び44並びに45の3個のレート変換器をプログラミングするようにした場合について述べたが、本発明はこれに限らず、必要に応じて3個以下又は3個以上のレート変換器をプログラミングすると共に、プログラミングの位置もカメラ信号補正処理回路42と、ビデオエンコーダ43との間等のようにこの他種々の位置にプログラミングするようにしてもよい。

【0085】さらに上述の第1実施例においては、サンプリングアナログ／デジタル変換回路31と、サンプリングデジタル／アナログ変換回路47とのサンプリング周波数を固定するようにした場合について述べたが、本発明はこれに限らず、予め所定の最大値を設定しておいて、当該設定した最大値を越えない範囲等において可変させるようにしても良い。

【0086】さらに上述の第1実施例においては、レート変換によつて得られるデジタルビデオ信号のクロック周波数がD1規格の13.5〔MHz〕程度と、ワークステーションで設定された135〔MHz〕程度と、18〔MHz〕程度となるようにした場合について述べたが、本発明はこれに限らず、デジタル信号処理部41内部のデジタルビデオ信号のクロック周波数及び出力されるデジタルビデオ信号のクロック周波数に係わらずにEDTVIIで設定された27〔MHz〕程度、プログレッシブで設定された36〔MHz〕程度、ATV等の各種カラーテレビジョン方式で設定された各種クロック周波数等のようにこの他種々のクロック周波数の値に変換するようにしても良い。

【0087】さらに上述の第1実施例においては、FPGA33にデジタル信号処理部41に加えてシステムコントローラ50及びタイミングジェネレータ51をプ

ログラミングするようにした場合について述べたが、本発明はこれに限らず、FPGA33にプログラミングする回路素子を必要とされる機能等に応じて自由に選定するようにしても良い。

【0088】さらに上述の第2実施例においては、図9に示す回路をFPGA71にプログラミングし、当該FPGA71をパソコン拡張ボードに形成するようにした場合について述べたが、本発明はこれに限らず、FPGA71を一般的に回路基板に形成するようにしても良い。なおこの場合図11に示すように、FPGA110にプログラミングする回路に外部からプログラミング信号S70をレート変換装置111に入力させる外部制御インターフェイス回路112及び、当該プログラミング信号S70に変えて予め記憶したプログラミングデータをレート変換装置111に送出する処理ソフトメモリ113を加えるようにしても良い。また図12に示すように、このようなFPGA110が形成された回路基板を第1のビデオ装置115、第2のビデオ装置116及びパーソナルコンピュータ117に接続して用いるようにしても良い。

【0089】

【発明の効果】 上述のように本発明によれば、入力されたアナログ信号を予め設定された所定のサンプリング周波数でサンプリングしてデジタル信号に変換するアナログデジタル変換手段と、外部からフィールドプログラマブルゲートアレイに所定の回路と共にプログラミングされ、アナログデジタル変換手段から得られるデジタル信号のクロック周波数を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを設けるようにしたことにより、フィールドプログラマブルゲートアレイに最大動作クロック周波数以下の動作クロック周波数で動作するような回路を自由にプログラミングすることができ、これによりフィールドプログラマブルゲートアレイの設計の自由度を向上させて、異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換器を容易にプログラミングすることができ、かくして異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得るレート変換装置を実現することができる。

【0090】 また被写体を撮像する撮像光学系と、撮像光学系から得られる撮像光を受けてアナログ信号に変換する撮像素子と、撮像素子から得られるアナログ信号を撮像素子の最大動作クロック周波数の値とほぼ同じ値のサンプリング周波数でサンプリングすることによりデジタル信号に変換するアナログデジタル変換手段と、外部からフィールドプログラマブルゲートアレイに所定の回路と共にプログラミングされ、アナログデジタル変換手段から得られるデジタル信号のクロック周波数

を当該クロック周波数よりも低いクロック周波数に変換するレート変換手段とを設けるようにしたことにより、フィールドプログラマブルゲートアレイの設計の自由度を向上させて当該フィールドプログラマブルゲートアレイに、異なるクロック周波数に設定された各種コンピュータやビデオ装置にそれぞれ応じてクロック周波数を変換し得るレート変換器を容易にプログラミングさせることができ、かくして異なるクロック周波数に設定された複数種類のコンピュータやビデオ装置にそれぞれ応じてクロック周波数を容易に変換し得る撮像装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明によるレート変換装置が設けられたデジタルビデオカメラの第1実施例を示すブロック図である。

【図2】 本発明によるレート変換装置におけるレート変換器の回路構成を示すブロック図である。

【図3】 レート変換器におけるアツプレート変換の説明に供する波形図である。

【図4】 レート変換器におけるアツプレート変換の説明に供する波形図である。

【図5】 レジスタ前置型レート変換器の第1のプログラマブルレジスタの回路構成を示すブロック図である。

【図6】 レジスタ後置型レート変換器の第2のプログラマブルレジスタの回路構成を示すブロック図である。

【図7】 FPGAのプログラミング処理手順を示すフローチャートである。

【図8】 本発明によるレート変換装置が設けられたパーソナルコンピュータの回路構成の第2実施例を示すブロック図である。

【図9】 第2実施例によるFPGAの回路構成を示すブロック図である。

【図10】 他の実施例によるデジタルビデオカメラを用いたシステムを示すブロック図である。

【図11】 他の実施例によるFPGAの回路構成を示すブロック図である。

【図12】 他の実施例によるFPGAを用いたシステムを示すブロック図である。

【図13】 従来のデジタルビデオカメラの回路構成を示すブロック図である。

【図14】 従来のレート変換装置の回路構成を示すブロック図である。

【符号の説明】

30……デジタルビデオカメラ、31、86……レート変換装置、32……第1のレート変換器、33、71……FPGA、40……サンプリングアナログ／デジタル変換回路、41……デジタル信号処理部、44……第2のレート変換器、45……第3のレート変換器、47……サンプリングデジタル／アナログ変換回路、60……プログラマブル係数時変型デジタルローパス

フィルタ、61……第1のプログラマブルレジスタ、62……第2のプログラマブルレジスタ、63……プログラマブルタイミング制御回路。

【図1】

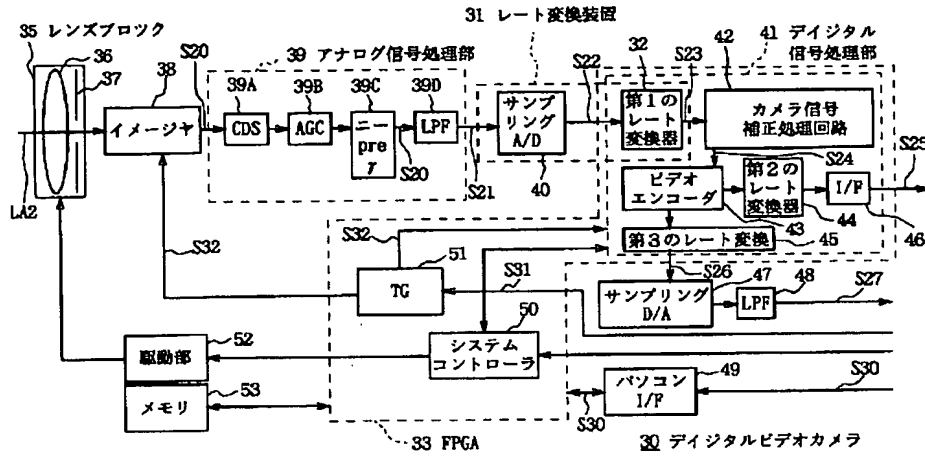


図1 本発明によるデジタルビデオカメラの回路構成

【図2】

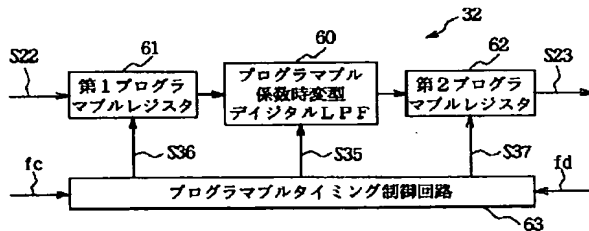
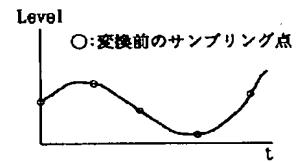
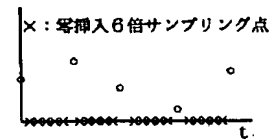


図2 レート変換装置のレート変換器の構成

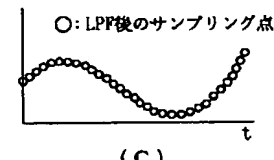
【図3】



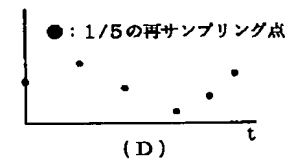
(A)



(B)



(C)



(D)

図3 アップレート変換の原理(1)

【図6】

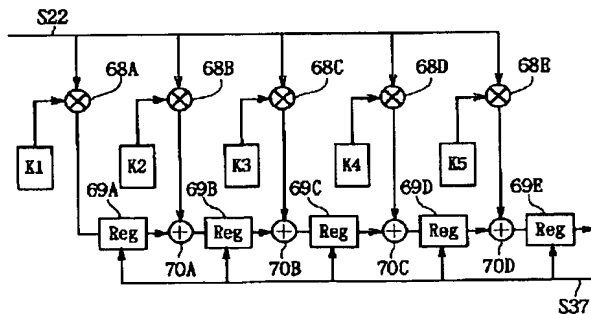


図6 後置型の第2のプログラマブルレジスタ回路構成

【図4】

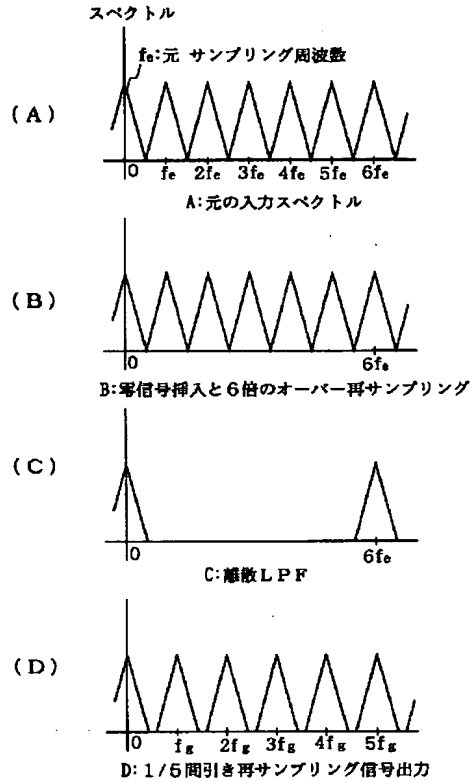


図4 アップレート変換の原理(2)

【図5】

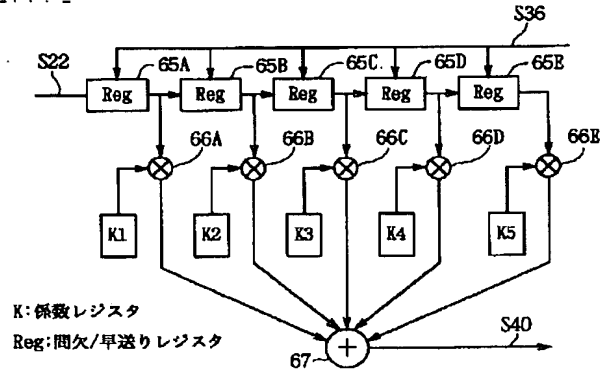


図5 前層型の第1のプログラマブルレジスタの回路構成

【図7】

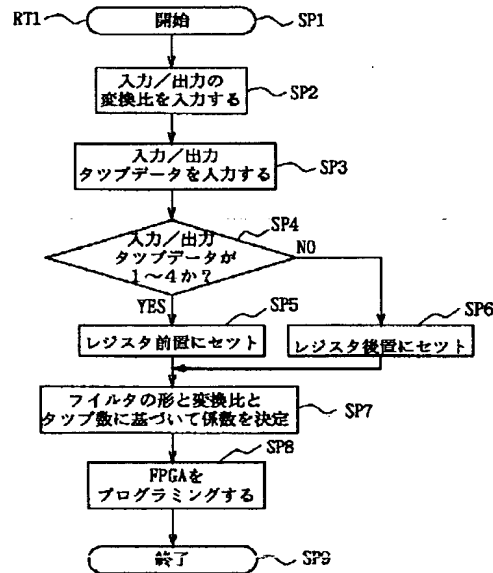


図7 FPGAのプログラミング処理手順

【図10】

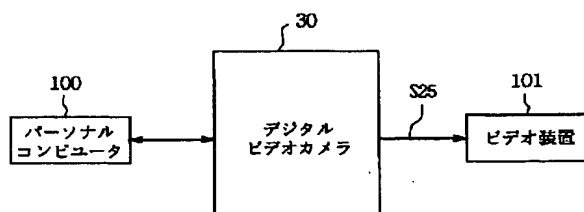


図10 他の実施例によるデジタルビデオカメラを用いたシステム

【図12】

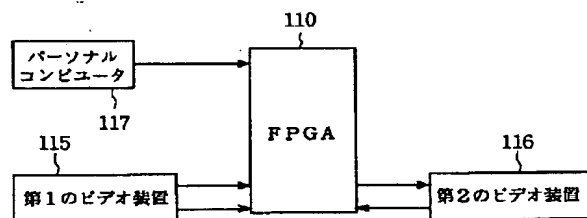


図12 他の実施例によるFPGAを用いたシステム

【図8】

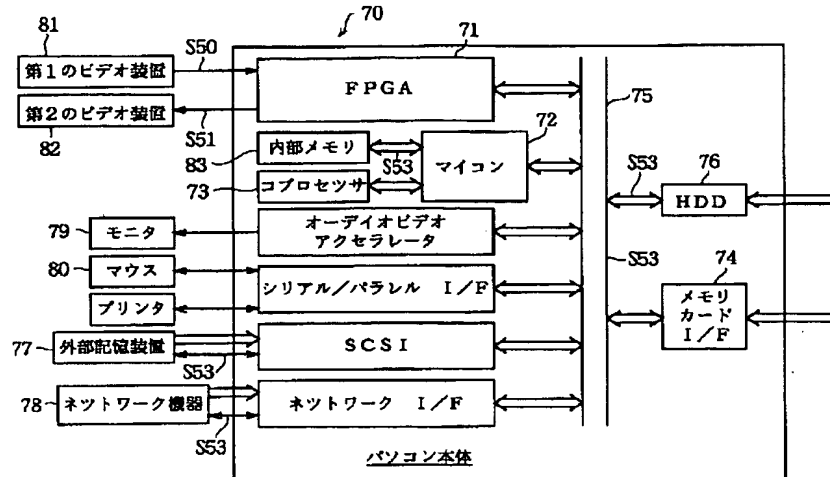


図8 第2実施例によるレート変換装置が設けられたパーソナルコンピュータの回路構成

【図9】

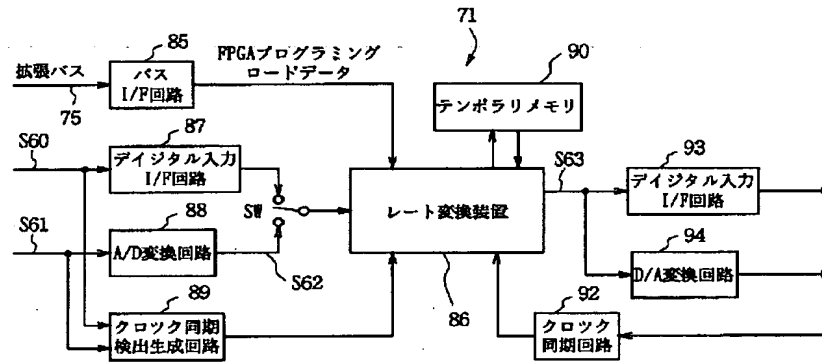


図9 第2実施例によるFPGAの回路構成

【図14】

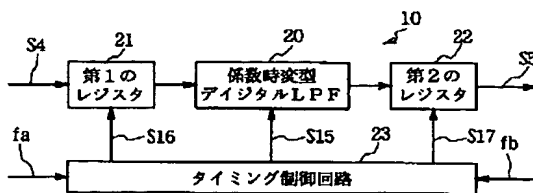


図14 従来のレート変換装置の構成

【図11】

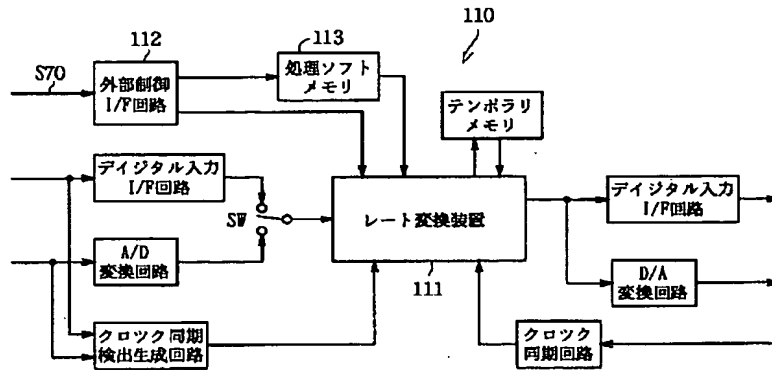


図11 他の実施例によるFPGAの回路構成

【図13】

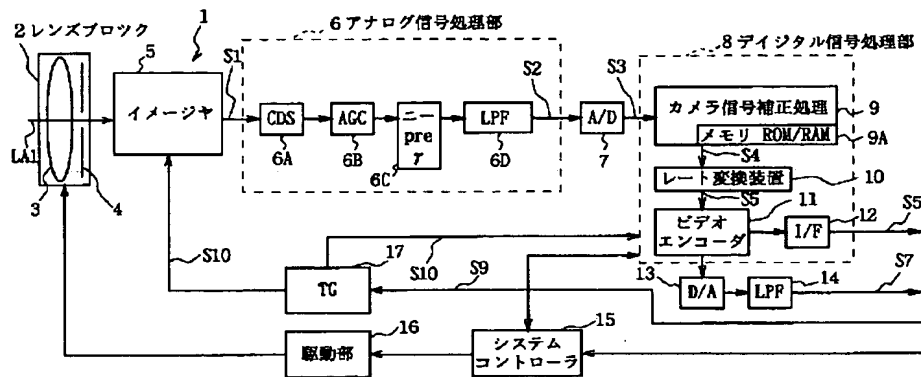


図13 従来のデジタルビデオカメラの回路構成